

WEST



Generate Collection

Print

L2: Entry 1 of 1

File: JPAB

Dec 19, 1983

PUB-NO: JP358218169A  
DOCUMENT-IDENTIFIER: JP 58218169 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: December 19, 1983

INVENTOR-INFORMATION:

NAME

ICHIKAWA, MATSUO

COUNTRY

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

APPL-NO: JP57101534

APPL-DATE: June 14, 1982

US-CL-CURRENT: 257/66

INT-CL (IPC): H01L 29/78; H01L 27/12; H01L 29/60

ABSTRACT:

PURPOSE: To reduce the leak current caused by light by a method wherein an upper gate electrode and a lower gate electrode are formed on the upper and lower sides of a substrate through the intermediary of an insulating film, thereby enabling to enhance the capability of the transistor.

CONSTITUTION: An SiO<sub>2</sub> film 12 is formed on a quartz glass substrate by performing a vapor-phase growing method, and the lower gate electrode 13 is formed thereon. Then a vapor-phase grown SiO<sub>2</sub> film 14 is formed on the above, and an N<sub>2</sub> annealing is performed. Then, a P type polycrystalline silicon layer 15 is formed, and after a selective etching has been performed, a thermally oxidized SiO<sub>2</sub> film 16 is formed and the upper electrode 17 is formed thereon. After an N<sup>+</sup> diffusion layer 18 has been formed by performing an ion implantation, a phosphor silicate glass layer 19 is formed. With the above constitution, a voltage is applied simultaneously to the upper and lower electrodes, upper and lower inversion layers are formed, and a current can be applied to said upper and lower inversion layers. Besides, when an opaque electrode material is used for the upper and lower electrodes, the light coming from both upper and lower directions can be shut out, thereby enabling to reduce the leak current.

COPYRIGHT: (C)1983, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—218169

⑪ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 27/12  
29/60

識別記号

庁内整理番号  
7377—5F  
8122—5F

⑬ 公開 昭和58年(1983)12月19日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体集積回路装置

⑯ 特 願 昭57—101534  
⑰ 出 願 昭57(1982)6月14日  
⑱ 発 明 者 市川松雄

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4  
号  
⑳ 代 理 人 弁理士 最上務

明 細 書

1 発明の名称 半導体集積回路装置

2 特許請求の範囲

(1) アモルファス半導体、又は多結晶半導体薄膜を基板として用いたMOS型電界効果トランジスタを構成要素とする半導体集積回路装置において、該基板の上下に、絶縁ゲート膜をかいして上部ゲート電極、下部ゲート電極を形成した事の特徴とする半導体集積回路装置。

(2) 該上部ゲート電極と該下部ゲート電極とが短絡し同電位になつている事の特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3 発明の詳細な説明

本発明は薄膜半導体を基板として用いたMOS型電界効果トランジスタを構成要素とする半導体集積回路に関し、ゲートに用いた電極構造に関する。

アモルファスや多結晶薄膜半導体を基板として用いたMOS電界効果トランジスタの研究開発がさかんにおこなわれている。それは薄膜MOS電界効果トランジスタを構成要素とする半導体集積回路装置が実用可能となると、種々の大きなメリットが出てくるからである。たとえば、大幅なコストダウンが期待できると、大型のIC及び多層構造のIC等が実現して、ICの大きな応用範囲が出現する。

現在、至るところで研究開発されつつあるこの薄膜MOS電界効果トランジスタ及び集積回路装置にも大きな問題点がいくつか存在する。

その大きな問題の中に、ソース・ドレイン間のリークがあり、又、トランジスタのドライブ能力、すなわち移動度が小さいという問題がある。

シリコン単結晶基板を用いたトランジスタのドレインリークは、トランジスタ1個あたりに換算すると $10^{-11}$ ～ $10^{-12}$ A程度となる。それに比較してアモルファスシリコン及び多結晶シリコンを基板として用いた薄膜MOS電界効果型のソース及

びドレイン間のリークは、トランジスタ1個あたりに換算すると $10^{-10} \sim 10^{-12}$  Aであり、2桁～3桁多い。そのためスタティックタイプの駆動でもリークが多くて問題はあるし、ダイナミックタイプの駆動ではリークのため動作ができなくなってしまう。

又、薄膜MOS電界効果トランジスタを構成要素とする半導体集積回路装置の応用範囲の中には液晶表示パネルの電極パネルとして使用されるなど光を直接うける用途があり、この場合には前記したリーク電流値がさらに大きくなる。

さらに、移動度が小さいためにスピードを要求する回路には不向きであり応用範囲がかぎられてくる。ちなみに、多結晶シリコンを用いた場合のNチャネルトランジスタにおいて $30 \sim 40 \text{ cm}^2/\text{V}$ の移動度であり、Pチャネルトランジスタでは $10 \sim 20 \text{ cm}^2/\text{V}$ である。

従来の構造について第1図～第3図に例を挙げて以下に説明する。

第1図に示すように石英ガラス基体1の上に、

光によるリーク電流を少なくする事にある。又、さらに本発明の他の目的については、以下の本発明の説明の中であきらかにする。

第4図～第6図に例を挙げて以下に本発明について説明する。

第4図に示すように石英ガラス基体11の上に、気相成長 $\text{SiO}_2$  12を形成し、その上に下部ゲート電極15を形成する。その上に気相成長 $\text{SiO}_2$  膜14を形成し、 $\text{N}_2$  アニールをおこなう。そしてP型多結晶シリコン層15を形成し、選択エッチングした後、熱酸化 $\text{SiO}_2$  膜16を形成する。その上に上部電極17を形成する。

第5図に示すように、イオン打込みにより $\text{N}^+$ 拡散層18を形成した後、リンシリケートガラス19を形成する。

さらに、第6図に示すように選択エッチングによりコンタクトホールをあけ、その上にAl配線20を形成する。

なお必要であれば、下部ゲート電極と上部ゲート電極は途中工程で接続し短絡する。

気相成長 $\text{SiO}_2$  膜21を成し、その上にP型多結晶シリコン層3を形成し選択的にエッチングする。その上に、熱酸化 $\text{SiO}_2$  膜4を形成して、ゲート電極配線5を形成する。第2図に示すように、イオン打込みにより $\text{N}^+$ 拡散層6を形成し、その上にリンシリケートガラス7を形成する。又、第3図のように選択エッチングによりコンタクトホールをあけ、その上にAl配線8を形成する。

以上のような構造をとると、前記したように気相成長 $\text{SiO}_2$  と多結晶シリコンの界面、及び多結晶中の粒塊の界面を流れるリークが発生し、さらに光があたると電荷が発生してリークする。特に液晶表示パネルの電極基板に用いた場合には光が石英ガラス基体側から直接あたるのでリーク電流も非常に多くなる。さらに前記したように移動度が小さく、内部にシフトレジスタ等のスピードが要求される回路を内蔵する事ができない。

本発明は以上のような欠点について改良を加えたものであり、本発明の目的はトランジスタの能力をアップする事にあり、本発明の他の目的は、

以上のように本発明の方法によると、上部ゲート電極と下部ゲート電極で電圧を同時に加え上部と下部から反転層を形成して、上部、下部の反転層で電流を流す事ができ、又上部と下部から電圧を加える事によつて相乗効果も期待する事ができる。

さらに、上部ゲート電極と下部ゲート電極に不透明な電極材料を用いる事によつて、上下両方向からの光を遮断する事ができリーク電流が少なくなる。なお、下部にもゲート電極があり、下部からも空乏層が発生している事もあり、下部絶縁膜と薄膜半導体層との界面でのリークも少なくなる。

又、上部ゲート電極と上部ゲート電極とを短絡しないで、別の電極として用いると2入力1出力のトランジスタを形成する事ができる。

なお、本発明は上下とも金属ゲート電極でも、両者とも多結晶又はアモルハスのような半透明な電極、又、その両者を用いた場合でもなおの本発明のそれぞれの効果を発揮する事ができる。

又、基体として石英ガラス板を用いた例を示し

たが、他のガラス材料、プラスチック材料、セラミック材料及びその他の材料を用いた場合でも同様である。

又、ゲート材料として気相成長の $\text{SiO}_2$ 膜と熱酸化 $\text{SiO}_2$ 膜について示したが他の材料を用いた場合も同様である。又、本発明の例ではNチャンネルについて示したがPチャンネル、及び相補型でも同様である。

#### 4. 図面の簡単な説明

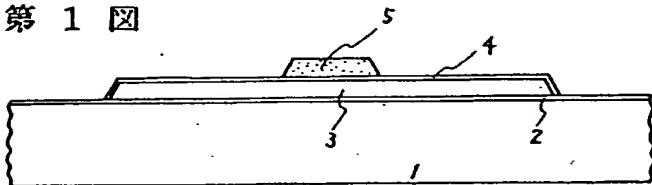
第1図～第3図は従来方法による製造工程順の断面略図である。

第4図～第6図は本発明の方法による製造工程順の断面略図である。

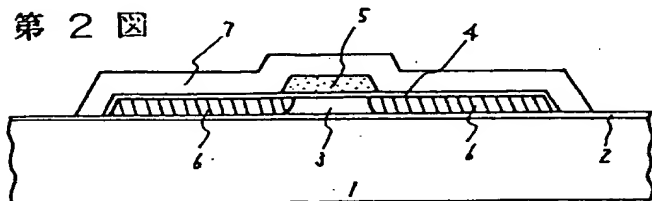
以下、次の通りである。

- 1, 11 -- 石英ガラス基体、
- 2, 12, 14 -- 気相成長の $\text{SiO}_2$ 膜、
- 3, 15 -- P型多結晶シリコン層、
- 4, 16 -- 熱酸化 $\text{SiO}_2$ 膜、
- 5 -- ゲート電極配線、

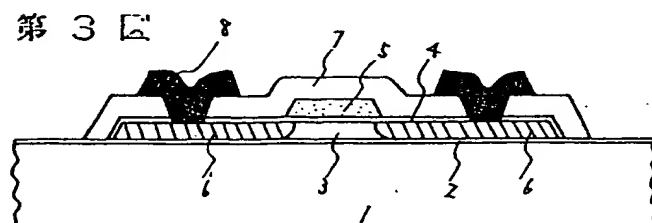
第1図



第2図



第3図



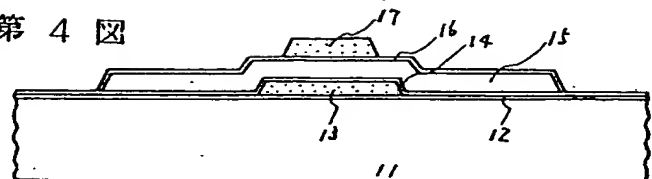
- 6, 18 --  $\text{N}^+$ 拡散層、
- 7, 19 -- リンシリケートガラス、
- 8, 20 -- Al配線、
- 13 -- 下部ゲート電極配線、
- 17 -- 上部ゲート電極配線、

以上

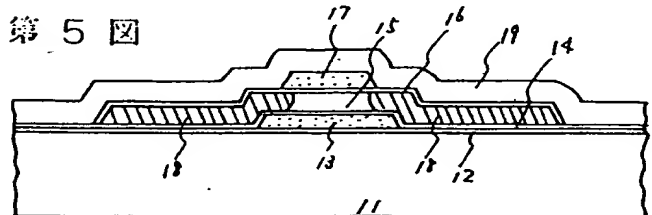
出願人 株式会社 諏訪精工舎

代理人 弁理士 最上 務

第4図



第5図



第6図

